

PAT-NO: JP406110857A  
DOCUMENT-IDENTIFIER: JP 06110857 A  
TITLE: PROGRAM DISPATCHING SYSTEM  
PUBN-DATE: April 22, 1994

INVENTOR-INFORMATION:

NAME  
SUZUKI, TORU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP04285233

APPL-DATE: September 30, 1992

INT-CL (IPC): G06F015/16, G06F009/46

ABSTRACT:

PURPOSE: To perform systems operation with high efficiency by combining a high-speed arithmetic unit with a low-speed arithmetic unit in a program dispatching system.

CONSTITUTION: In a multiprocessor system consisting of a high-speed arithmetic unit 5 and a low-speed arithmetic unit 6, a program dispatching means 10 assigns a program 3 to the unit 5 when an area necessary for the unit 5 is secured in a main storage 1. If the necessary area is not secured in the storage 1, the means 10 assigns the program 3 to the unit 6 which uses a virtual space control means 7. A program characteristic deciding means 11, a

program characteristic analyzing means 12, a program characteristic declaring means 13, and a program application memory analyzing means 14 decide whether the program 3 is complied centering on the arithmetic or not. If so, the means 10 assigns the program 3 to the unit 5 with preference.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-110857

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.<sup>5</sup> 識別記号 庁内整理番号 F I 標記表示箇所  
G 0 6 F 15/16 4 3 0 9190-5L  
9/46 3 6 0 B 8120-5B

審査請求 未請求 請求項の数4(全12頁)

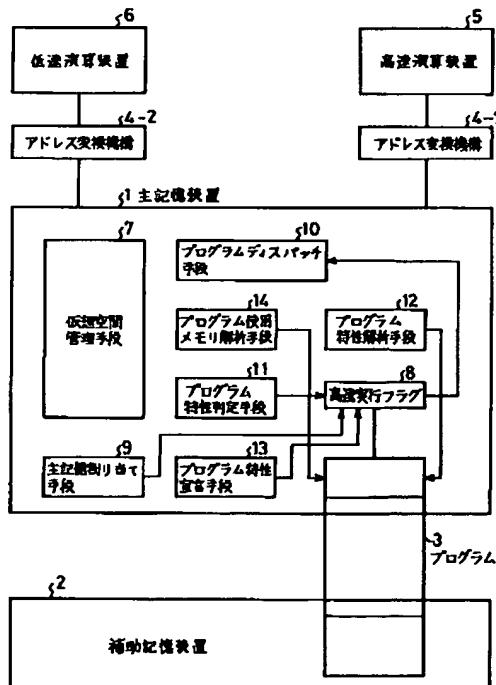
(21)出願番号	特願平4-285233	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成4年(1992)9月30日	(72)発明者	鈴木徹 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 境廣巳

(54)【発明の名称】 プログラムディスパッチ方式

(57)【要約】

【目的】 プログラムディスパッチ方式に於いて、高速演算装置と低速演算装置とを組み合わせて効率の良いシステム運用を行なう。

【構成】 高速演算装置5と低速演算装置6とから構成されるマルチプロセッサシステムに於いて、プログラム3に必要な領域を主記憶装置1上に確保できた場合は、プログラムディスパッチ手段10は高速演算装置5にプログラム3を割り当て、確保できなかった場合は仮想空間管理手段7を利用する低速演算装置6にプログラム3を割り当てる。プログラム特性判定手段11、プログラム特性解析手段12、プログラム特性宣言手段13、プログラム使用メモリ解析手段14はプログラム3が演算中心のものか否かを判断する。プログラム3が演算中心のものである場合、プログラムディスパッチ手段10はプログラム3を優先的に高速演算装置5に割り当てる。



1

## 【特許請求の範囲】

【請求項1】 主記憶装置と、  
補助記憶装置と、  
前記主記憶装置上または前記補助記憶装置上に存在する  
プログラムと、  
前記プログラムの論理的なアドレスを前記主記憶装置上の  
物理的なアドレスに変換するアドレス変換機構と、  
前記プログラムの実行中、前記アドレス変換機構による  
アドレス変換に失敗した時、当該命令から再実行を行な  
わないことを前提に高速化された高速演算装置と、  
前記高速演算装置との間で、前記主記憶装置を共有し、  
且つ前記高速演算装置と同じ命令を実行可能で、更に、  
前記プログラムの実行中、前記アドレス変換機構による  
アドレス変換が失敗した時に当該命令から再実行が可能  
な低速演算装置と、  
前記低速演算装置で実行するプログラムに対する仮想記  
憶を実現する仮想空間管理手段と、  
前記プログラムが高速演算装置で実行されることの可否  
を表示する高速実行フラグと、  
前記プログラムに前記主記憶装置を割り当てる際、前記  
プログラムの全てを前記主記憶装置に割り当てるこ  
ができる場合、前記プログラム対応の高速実行フラグを前  
記高速演算装置での実行可能を表示するものにする主記  
憶割り当て手段と、  
対応する高速実行フラグが実行可能を表示している前記  
プログラムを前記高速演算装置に割り当て、実行可能を  
表示していない前記プログラムを前記低速演算装置に割  
り当てるプログラムディスパッチ手段とを備えたことを  
特徴とするプログラムディスパッチ方式。

【請求項2】 請求項1記載のプログラムディスパッチ  
方式に於いて、  
高速実行フラグに代えて、前記プログラムが高速演算装  
置で実行されることの可否を表示すると共に、前記高速  
演算装置で実行される優先性を表示する高速実行フラグ  
を備え、  
プログラムディスパッチ手段に代えて、対応する高速実  
行フラグが実行可能を示しているプログラムを、対応す  
る高速実行フラグが示す優先性に従って前記高速演算  
装置または前記低速演算装置に割り当て、対応する高速  
実行フラグが実行不可能を示しているプログラムを前記低  
速演算装置に割り当てるプログラムディスパッチ手段を  
備え、  
更に、前記プログラムがシステムが所定時間以上連続して  
前記高速演算装置または前記低速演算装置を使用した  
場合、前記プログラム対応の高速実行フラグが示す優先  
性を高くし、前記プログラムによる演算処理が途切れる  
場合、前記プログラム対応の高速実行フラグの優先性を  
低くするプログラム特性判定手段を備えたことを特徴と  
するプログラムディスパッチ方式。

## 【請求項3】 請求項2記載のプログラムディスパッチ

2

方式に於いて、

プログラム特性判定手段に代えて、前記高速演算装置ま  
たは前記低速演算装置上で実行されるプログラムをコン  
パイルする際、プログラムを静的に解析して演算処理が  
途切れる箇所に演算中心のプログラムでないことを示す  
コードを設定し、演算のみの処理に入る箇所に演算中心  
のプログラムであることを示すコードを設定するプログ  
ラム特性解析手段を備え、  
更に、前記プログラム特性解析手段が設定したコードに  
従い、プログラムが演算中心の処理に入る前に対応する  
高速実行フラグの優先性を高くし、プログラムが演算處  
理の途切れる箇所に入る前に対応する高速実行フラグの  
優先性を低くするプログラム特性宣言手段を備えたこと  
を特徴とするプログラムディスパッチ方式。

【請求項4】 請求項1記載のプログラムディスパッチ  
方式に於いて、

前記高速演算装置または前記低速演算装置上で実行され  
るプログラムをコンパイルする際、前記プログラムを静  
的に解析してプログラムの処理単位がアクセスするアド

レスを宣言するコードを前記処理単位の前に埋め込むプ  
ログラム使用メモリ解析手段を備え、  
更に、主記憶割り当て手段に代えて、前記プログラムに  
前記主記憶装置を割り当てる際、前記プログラムの全て  
を前記主記憶装置に割り当てることができる場合及び前  
記コードによってアクセスするアドレスが宣言されてい  
るプログラムの処理単位を前記主記憶装置に割り当てる  
ことができる場合、前記プログラム対応の高速実行フラ  
グを前記高速演算装置での実行可能を表示するものにす  
る主記憶割り当て手段を備えたことを特徴とするプログ  
ラムディスパッチ方式。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は電子計算機システムに関  
し、特に、スーパーコンピュータ等のような高速の電子計  
算機システムに於いて、仮想記憶の機能を持たない高速  
演算装置と仮想記憶の機能を持つ低速演算装置とをマル  
チプロセッサとして組み合わせることによって効率の良  
いシステム運用を行なえるようにしたプログラムディス  
パッチ方式に関する。

## 【0002】

【従来の技術】 従来、プログラムを高速に実行すること  
が要求されるスーパーコンピュータ等のような高速の電子  
計算機システムは、高度なバイオペリン処理を行なって  
おり、プログラムで発生した例外をその時点から再実行  
することを保証していないものが多い。

## 【0003】

【発明が解決しようとする課題】 このため、従来のス  
ーパーコンピュータ等の計算機システムでは、プログラムに  
主記憶装置を割り当てずにおき、主記憶装置上に存在し  
ないことにより発生した例外を契機にしてプログラムに

3

主記憶装置を割り当て、再実行を行ない、実メモリより多くの空間を必要とするプログラムを実行可能にする所謂仮想記憶は実現されていない。逆に仮想記憶を実現できるようにすると、高速な演算を行なうことができなくなってしまう。

【0004】本発明の目的はプログラムで発生した例外をその時点から再実行することを保証していない高速演算装置と、プログラムで発生した例外をその時点から再実行することを保証している低速演算装置とを組み合わせて使用することにより、システムの処理効率を向上させることができるプログラムディスパッチ方式を提供することにある。

【0005】

【課題を解決するための手段】本発明は上記目的を達成するため、(A) 主記憶装置と、補助記憶装置と、前記主記憶装置上または前記補助記憶装置上に存在するプログラムと、前記プログラムの論理的なアドレスを前記主記憶装置上の物理的なアドレスに変換するアドレス変換機構と、前記プログラムの実行中、前記アドレス変換機構によるアドレス変換に失敗した時、当該命令から再実行を行なわないことを前提に高速化された高速演算装置と、前記高速演算装置との間で、前記主記憶装置を共有し、且つ前記高速演算装置と同じ命令を実行可能で、更に、前記プログラムの実行中、前記アドレス変換機構によるアドレス変換が失敗した時に当該命令から再実行が可能な低速演算装置と、前記低速演算装置で実行するプログラムに対する仮想記憶を実現する仮想空間管理手段と、前記プログラムが高速演算装置で実行されることの可否を表示する高速実行フラグと、前記プログラムに前記主記憶装置を割り当てる際、前記プログラムの全てを前記主記憶装置に割り当てることができる場合、前記プログラム対応の高速実行フラグを前記高速演算装置での実行可能を表示するものにする主記憶割り当て手段と、対応する高速実行フラグが実行可能を表示している前記プログラムを前記高速演算装置に割り当て、実行可能を表示していない前記プログラムを前記低速演算装置に割り当てるプログラムディスパッチ手段とを設けたものである。

【0006】また、本発明は演算中心のプログラムをなるべく高速演算装置で実行させることにより、システム全体の性能を向上させるため、(B) 請求項1記載のプログラムディスパッチ方式に於いて、高速実行フラグに代えて、前記プログラムが高速演算装置で実行されることが可否を表示すると共に、前記高速演算装置で実行される優先性を表示する高速実行フラグを設け、プログラムディスパッチ手段に代えて、対応する高速実行フラグが実行可能を示しているプログラムを、対応する高速実行フラグが示す優先性に従って前記高速演算装置または低速演算装置に割り当て、対応する高速実行フラグが実行不可能を示しているプログラムを前記低速演算装置に

4

割り当てるプログラムディスパッチ手段を設け、更に、前記プログラムがシステムが所定時間以上連続して前記高速演算装置または前記低速演算装置を使用した場合、前記プログラム対応の高速実行フラグが示す優先性を高めし、前記プログラムによる演算処理が途切れる場合、前記プログラム対応の高速実行フラグの優先性を低くするプログラム特性判定手段を設けたものである。

【0007】また、本発明は演算中心のプログラムをなるべく高速演算装置で実行させることにより、システム全体の性能を向上させるため、(C) 請求項2記載のプログラムディスパッチ方式に於いて、プログラム特性判定手段に代えて、前記高速演算装置または前記低速演算装置上で実行されるプログラムをコンパイルする際、プログラムを静的に解析して演算処理が途切れる箇所に演算中心のプログラムでないことを示すコードを設定し、演算のみの処理に入る箇所に演算中心のプログラムであることを示すコードを設定するプログラム特性解析手段を設け、更に、前記プログラム特性解析手段が設定したコードに従い、プログラムが演算中心の処理に入る前に

20 対応する高速実行フラグの優先性を高めし、プログラムが演算処理の途切れる箇所に入る前に対応する高速実行フラグの優先性を低くするプログラム特性宣言手段を設けたものである。

【0008】また、本発明は大きなメモリ領域を必要とする処理は仮想記憶の機能を利用して低速演算装置で演算を行ない、小さなメモリ領域で十分な処理は高速演算装置で演算を行なうようにすることにより、システム全体の性能を向上させるため、(D) 請求項1記載のプログラムディスパッチ方式に於いて、前記高速演算装置または前記低速演算装置上で実行されるプログラムをコンパイルする際、前記プログラムを静的に解析してプログラムの処理単位がアクセスするアドレスを宣言するコードを前記処理単位の前に埋め込むプログラム使用メモリ解析手段を設け、更に、主記憶割り当て手段に代えて、前記プログラムに前記主記憶装置を割り当てる際、前記プログラムの全てを前記主記憶装置に割り当てることができる場合及び前記コードによってアクセスするアドレスが宣言されているプログラムの処理単位を前記主記憶装置に割り当てることができる場合、前記プログラム対応の高速実行フラグを前記高速演算装置での実行可能を表示するものにする主記憶割り当て手段を設けたものである。

【0009】

【作用】(A) の構成に於いては、主記憶割り当て手段はプログラムに主記憶装置を割り当てる際、プログラムの全てを主記憶装置に割り当てることができる場合は、そのプログラムに対応する高速実行フラグを、高速演算装置での実行可能を表示するものにする。

【0010】プログラムディスパッチ手段は対応する高速実行フラグが高速演算装置での実行可能を表示してい

50

5

る場合は、そのプログラムを高速演算装置で実行させ、実行不可能を表示している場合は、そのプログラムを低速演算装置で実行させる。

【0011】(B)の構成に於いては、主記憶割り当て手段はプログラムに主記憶装置を割り当てる際、プログラムの全てを主記憶装置に割り当てることができる場合は、そのプログラムに対応する高速実行フラグを高速演算装置での実行可能を表示するものにする。

【0012】また、プログラム特性判定手段はプログラムがシステムに定められている時間以上連続して高速演算装置または低速演算装置を使用した場合、そのプログラムに対応する高速実行フラグが示す優先性を高くし、プログラムによる演算処理が途切れる場合、そのプログラムに対応する高速実行フラグが示す優先性を低くする。

【0013】プログラムディスパッチ手段は対応する高速実行フラグが実行可能を示しているプログラムを、対応する高速実行フラグが示す優先性に従って高速演算装置または低速演算装置に割り当て、対応する高速実行フラグが実行不可能を示しているプログラムを低速演算装置に割り当てる。

【0014】(C)の構成に於いては、プログラム特性解析手段がコンパイル時、プログラムを静的に解析して演算処理が途切れる箇所に演算中心のプログラムでないことを示すコードを設定し、演算のみの処理に入る箇所に演算中心のプログラムであることを示すコードを設定する。

【0015】プログラム特性解析手段が設定したコードに基づいて、プログラム特性宣言手段はプログラムが演算中心の処理に入る前に対応する高速実行フラグの優先性を高くし、プログラムが演算処理の途切れる箇所に入る前に高速実行フラグの優先性を低くする。

【0016】プログラムディスパッチ手段は対応する高速実行フラグが実行可能を示しているプログラムを、対応する高速実行フラグが示す優先性に従って高速演算装置または低速演算装置に割り当て、対応する高速実行フラグが実行不可能を示しているプログラムを低速演算装置に割り当てる。

【0017】(D)の構成に於いては、高速演算装置または低速演算装置上で実行されるプログラムをコンパイルする際、プログラム使用メモリ解析手段がプログラムを静的に解析してプログラムの処理単位がアクセスするアドレスを宣言するコードを処理単位の前に埋め込んでおく。

【0018】主記憶割り当て手段は、プログラムに主記憶装置を割り当てる際、プログラムの全てを主記憶装置に割り当てることができる場合及びコードによってアクセスするアドレスが宣言されているプログラムの処理単位を主記憶装置に割り当てるができる場合、そのプログラムに対応する高速実行フラグを、高速演算装置で

6

の実行可能を表示するものにする。

【0019】プログラムディスパッチ手段は、プログラムの実行時、対応する高速実行フラグが高速演算装置での実行可能を表示しているプログラムを高速演算装置に割り当て、実行不可能を表示しているプログラムを低速演算装置に割り当てる。

【0020】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

10 【0021】図1は本発明の実施例のブロック図であり、主記憶装置1と、補助記憶装置2と、主記憶装置1上または補助記憶装置2上に存在するプログラム3と、プログラム3上の論理的なアドレスを主記憶装置1上の物理的なアドレスに変換するアドレス変換機構4-1、4-2と、プログラム3の実行中にアドレス変換機構4-1によるアドレス変換に失敗した場合、当該命令から再実行を行なわないことを前提に高速化された高速演算装置5と、高速演算装置5との間で主記憶装置1を共有し、且つ高速演算装置5と同じ命令を実行可能で、更にプログラムを実行中、アドレス変換機構4-2によるアドレス変換が失敗した場合、当該命令から再実行が可能な低速演算装置6とから構成されている。

【0022】また、主記憶装置1上には仮想空間管理手段7と、高速実行フラグ8と、主記憶割り当て手段9と、プログラムディスパッチ手段10と、プログラム特性判定手段11と、プログラム特性解析手段12と、プログラム特性宣言手段13と、プログラム使用メモリ解析手段14とが設けられている。

30 【0023】仮想空間管理手段7は低速演算装置6に於いて実行されるプログラムの一部を主記憶装置1に割り当て、残りの部分を補助記憶装置2に保持させておき、アドレス変換機構4-2によるアドレス変換が失敗した場合、主記憶装置1に領域を確保し、更に、補助記憶装置2に保持されている内容を確保した領域に書き込み、その後、当該命令から再実行を行なうことにより、実際に利用可能な主記憶装置1の容量より大きな空間を利用するプログラムの実行を可能にする機能を有する。

【0024】高速実行フラグ8はプログラム3に対応して設けられているものであり、プログラム3が高速演算装置5で実行可能か否かを表示すると共に、対応するプログラム3が高速演算装置5で実行される際の優先性を表示する。尚、図1ではプログラム3しか示していないので、高速実行フラグもプログラム3に対応するものしか示していないが、実行する全てのプログラムに対応して高速実行フラグは設けられる。

【0025】プログラム使用メモリ解析手段14は高速演算装置5または低速演算装置6上で実行されるプログラムをコンパイルする際、プログラムを静的に解析し、プログラムの或る処理単位がアクセスするアドレスを宣言するコードを、その処理単位に入る前に埋め込む機能

を有する。

【0026】主記憶割り当て手段9は主記憶装置1にプログラム3の実行に必要な空きが存在する場合はプログラム3を主記憶装置1に割り当てると共に、プログラム3対応の高速実行フラグ8を高速演算装置5での実行可能を表示するものにする機能と、主記憶装置1にプログラム3の実行に必要な空きが存在しない場合はプログラム使用メモリ解析手段14によってプログラム3に埋め込まれている或る処理単位がアクセスするアドレス示すコードを読み込み、コードが示すプログラム部分を割り当てる空きが主記憶装置1上に存在するか否かを判断する機能と、コードが示すプログラム部分を割り当てる空きが主記憶装置1に存在すると判断した場合は主記憶装置1にプログラム3の上記或る処理単位（コードが示すプログラム部分）を割り当てる、プログラム3対応の高速実行フラグ8を高速演算装置5での実行可能を表示するものにする機能と、コードが示すプログラム部分を割り当てる空きが主記憶装置1に存在しないと判断した場合はプログラム3対応の高速実行フラグ8を高速演算装置5での実行不可能を表示するものにする機能と有する。

【0027】プログラムディスパッチ手段10は対応する高速実行フラグが高速演算装置5での実行が可能であることを表示しているプログラムを、対応する高速実行フラグが示す優先性に従って高速演算装置5または低速演算装置6に割り当てる、対応する高速実行フラグが高速演算装置5での実行が不可能であることを表示しているプログラムを低速演算装置6に割り当てる機能を有する。

【0028】プログラム特性判定手段11は対応する高速実行フラグが高速演算装置5での実行可能を表示しているプログラムがシステムで定められている時間以上連続して高速演算装置5または低速演算装置6を使用した場合、そのプログラムを演算中心の処理を実行中のプログラムと判定し、そのプログラムに対応する高速実行フラグの優先性を高くし、プログラムのシステム呼び出し等により演算の処理が途切れる場合、演算中心の処理を実行中のプログラムでないと判定し、そのプログラムに對応する高速実行フラグの優先性を低くする機能を有する。

【0029】プログラム特性解析手段12は高速演算装置5または低速演算装置6上で実行されるプログラムをコンパイルする際、プログラムを静的に解析し、システム呼び出し等により処理が途切れる箇所に入る前の部分に、演算中心の処理を実行中のプログラムでないことを示すコードを設定し、演算のみの処理に入る前の部分に、演算中心の処理を実行中のプログラムであることを示すコードを設定する機能を有する。

【0030】プログラム特性宣言手段13はプログラム特性解析手段12が設定したコードに従い、演算のみの

処理に入る前に高速実行フラグの優先性を高くし、逆にシステム呼び出し等により処理が途切れる箇所の入る前に、高速実行フラグの優先性を低くする機能を有する。

【0031】図2は主記憶割り当て手段9の処理例を示す流れ図である。

【0032】主記憶割り当て手段9はプログラム3を実行させる場合、先ず、主記憶装置1上にプログラム3を実行させるために必要となる空きが存在するか否かを判断する（ステップS21）。

10 10 【0033】そして、空きが存在すると判断した場合（ステップS21がyes）は、主記憶割り当て手段9はプログラム3に主記憶装置1を割り当てる（ステップS23）。このプログラム3は高速演算装置5上で実行可能となるので、主記憶割り当て手段9はプログラム3対応の高速実行フラグ8を、高速演算装置5での実行可能を表示するものにする（ステップS23）。

20 20 【0034】また、主記憶装置1上にプログラム3の実行に必要な空きが存在しない場合（ステップS21がno）は、プログラム使用メモリ解析手段14によってプログラム3に埋め込まれているプログラム3の或る処理単位がアクセスするアドレスを示すコードを読み込み、そのコードが示すプログラム部分を割り当てることができる空きが主記憶装置1上に存在するか否かを判断する（ステップS24）。

20 20 【0035】そして、存在すると判断した場合（ステップS24がyes）はプログラム3の上記或る処理単位を主記憶装置1上に割り当てる（ステップS25）。このプログラム3も高速演算装置5上で実行可能となるので、主記憶割り当て手段9はプログラム3対応の高速実行フラグ8を、高速演算装置5での実行可能を示すものにする（ステップS26）。

30 30 【0036】また、コードが示すプログラム部分を割り当てることができる空きが主記憶装置1上に存在しないと判断した場合（ステップS24がno）は、主記憶割り当て手段9はそのプログラム3は高速演算装置5では実行不可能と判定し、プログラム3対応の高速実行フラグ8を、高速演算装置5での実行不可能を表示するものにする（ステップS27）。尚、高速実行フラグ8が高速演算装置5での実行不可能を示すものにされた場合、

40 40 プログラム3は低速演算装置6上で実行され、必要なメモリは仮想空間管理手段7によって実際に必要になった時に割り当てる。

【0037】図3はプログラムディスパッチ手段10の処理例を示す流れ図である。

【0038】プログラムディスパッチ手段10はプログラム割り当ての対象としている演算装置が高速演算装置5である場合（ステップS31がyes）、高速演算装置5での実行が優先されているプログラム、即ち対応する高速実行フラグが高速演算装置5での実行可能を表示し、且つ優先性が高くなっているプログラムが存在する

か否かを判断する（ステップS32）。

【0039】そして、存在すると判断した場合（ステップS32がyes）は、プログラムディスパッチ手段10は高速実行フラグが高速演算装置5での実行可能を示し、且つ優先性が高くなっているプログラムの内の1つを選択し、高速演算装置5で実行させる（ステップS35）。

【0040】また、存在しないと判断した場合（ステップS32がno）は、プログラムディスパッチ手段10は主記憶装置1上に高速演算装置5で実行可能なプログラム、即ち対応する高速実行フラグが高速演算装置5での実行可能を表示し、且つ優先性が低くなっているプログラムが存在するか否かを判断する（ステップS33）。

【0041】そして、存在すると判断した場合（ステップS33がyes）は、プログラムディスパッチ手段10は高速実行フラグが高速演算装置5での実行可能を表示し、且つ優先性が低くなっているプログラムの内の1つを選択し、高速演算装置5で実行させる（ステップS35）。

【0042】また、存在しないと判断した場合（ステップS33がno）は、割り当てるプログラムがないのでアイドル状態になる（ステップS34）。

【0043】また、プログラムの割り当ての対象にしている演算装置が低速演算装置6の場合（ステップS31がno）は、プログラムディスパッチ手段10は高速演算装置5での実行が優先されていないプログラム、即ち高速実行フラグが高速演算装置5での実行可能を表示し、且つ優先性が低くなっているプログラムが存在するか否かを判断する（ステップS36）。

【0044】そして、存在すると判断した場合（ステップS36がyes）は、プログラムディスパッチ手段10は高速実行フラグが高速演算装置5での実行可能を表示し、且つ優先性が低くなっているプログラムの内の1つを選択し、低速演算装置6で実行させる（ステップS35）。

【0045】また、存在しないと判断した場合（ステップS36がno）は、プログラムディスパッチ手段10は実行可能なプログラム、即ち高速実行フラグが高速演算装置5での実行不可能を表示しているプログラムが存在するか否かを判断する（ステップS37）。

【0046】そして、存在すると判断した場合（ステップS37がyes）は、プログラムディスパッチ手段10は高速実行フラグが高速演算装置5での実行不可能を表示しているプログラムの内の1つを選択し、低速演算装置6で実行させる（ステップS35）。

【0047】また、存在しないと判断した場合（ステップS37がno）は、割り当てるプログラムが存在しないのでアイドル状態になる（ステップS38）。

【0048】尚、ここでは、高速実行フラグに対応する

プログラムの高速演算装置5での実行の可否及び優先性を表示させ、優先性も考慮してプログラムを高速演算装置5または低速演算装置6に割り当てるようにしたが、高速演算装置5での実行の可否のみを高速実行フラグに表示させ、対応する高速実行フラグが高速演算装置5での実行可能を表示しているプログラムは高速演算装置5に割り当て、実行不可能の表示しているプログラムは低速演算装置6に割り当てるようになることができる。

10 【0049】図4は高速実行フラグの優先性を制御する処理の内、プログラム特性判定手段11が行なう処理を示した流れ図である。

【0050】プログラム特性判定手段11は高速演算装置5で実行されているプログラムがスーパバイザの呼び出しを行なうと（ステップS41）、そのプログラムは演算中心の処理を実行中でないと判定し、そのプログラム対応の高速実行フラグの優先性を低くする（ステップS42）。

20 【0051】また、プログラム特性判定手段11はステップS43に示すタイムスライスによる割り込みを契機にして、プログラムがシステムで定められている時間以上連続して高速演算装置5、低速演算装置6を使用したか否かをチェックする（ステップS44）。

【0052】そして、プログラムがシステムに定められている時間以上連続して高速演算装置5、低速演算装置6を使用した場合（ステップS44がyes）は、そのプログラムは演算中心の処理を行なっていると判定し、そのプログラムに対応する高速実行フラグの優先性を高くする（ステップS45）。

30 【0053】また、プログラムがシステムに定められた時間以上連続して高速演算装置5、低速演算装置6を使用していないと判断した場合（ステップS44がno）は、そのプログラムに対応する高速実行フラグの優先性には変化を与えない。

【0054】尚、図4に示したプログラム特性判定手段11による処理は、プログラム特性解析手段12によってコードが埋め込まれているプログラムに対しては行なわない。

40 【0055】図5は高速実行フラグの優先性を制御する処理の内、プログラム特性宣言手段13が行なう処理を示した流れ図である。

【0056】プログラム特性宣言手段13はプログラム3の実行時、プログラム特性解析手段12によってプログラム3に埋め込まれているコードに基づいて、プログラム3が演算のみの処理に入ると判定した場合、プログラム3がステップS52に示す演算中心の処理を実行する前に、プログラム3に対応する高速実行フラグ8の優先性を高くなる（ステップS51）。

【0057】また、プログラム特性宣言手段13はプログラム特性解析手段12によってプログラム3に埋め込まれているコードに基づいて、プログラム3がシステム

11

呼び出し等により処理が途切れる箇所に入ると判断した場合、プログラム3がステップS54に示す演算中心の処理を終了する前に、プログラム3に対応する高速実行フラグ8の優先性を低くする（ステップS53）。

## 【0058】

【発明の効果】以上説明したように、本発明は、プログラムを全て主記憶装置に割り当てることができる場合はそのプログラムを高速演算装置に割り当て、割り当てることができない場合は仮想記憶の機能を利用する低速演算装置に割り当てるようにしたものであるので、システムの処理効率を高いものにすることができる、また、何らかの原因でシステムのメモリを少なく構成して利用しなければならない時でも全てのプログラムの実行が可能になる効果がある。

【0059】また、本発明は所定の時間以上連続して高速演算装置または低速演算装置を使用したプログラム（演算中心のプログラム）に対応する高速実行フラグの優先性を高いものにし、そのプログラムが優先的に高速演算装置に割り当てられるようにするプログラム特性判定手段を備えたものであるので、プログラムの特性にあつた演算装置の割り当てが可能になり、更にシステムの処理効率を向上させることが可能になる効果がある。

【0060】また、本発明はプログラムのコンパイル時に静的にプログラムを解析し、プログラムが演算中心の処理に入る部分、演算中心でない処理に入る部分にそれぞれそのことを示すコードを設定するプログラム特性解析手段と、プログラムの実行時にプログラム特性解析手段が設定したコードに従って対応する高速実行フラグの優先性を変更するプログラム特性宣言手段を備えたものであるので、プログラムの特性にあつた演算装置の割り当てが可能になり、システムの処理効率を向上させることが可能になる効果がある。

【0061】更に、本発明はプログラムのコンパイル時に、プログラムの処理単位がアクセスするアドレスを宣言するコードを処理単位の前に埋め込むプログラム使用

12

メモリ解析手段と、処理単位を主記憶装置に割り当てることができる場合はそのプログラムが高速演算装置で実行可能なことを高速実行フラグに表示させる主記憶割り当て手段とを備えたものであり、大きなメモリ領域を必要とする処理は仮想記憶の機能を利用して低速演算装置で、小さなメモリ領域で十分な処理は高速演算装置で実行することができるので、システムの負荷が高い状況で、プログラム全体を主記憶装置に割り当てることができない場合であってもシステムの処理効率を高いものにすることができる効果がある。

## 【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】主記憶割り当て手段9の処理例を示す流れ図である。

【図3】プログラムディスパッチ手段10の処理例を示す流れ図である。

【図4】プログラム特性判定手段11の処理例を示す流れ図である。

【図5】プログラム特性宣言手段13の処理例を示す流れ図である。

## 【符号の説明】

1…主記憶装置

2…補助記憶装置

3…プログラム

4-1, 4-2…アドレス変換機構

5…高速演算装置

6…低速演算装置

7…仮想空間管理手段

8…高速実行フラグ

9…主記憶割り当て手段

10…プログラムディスパッチ手段

11…プログラム特性判定手段

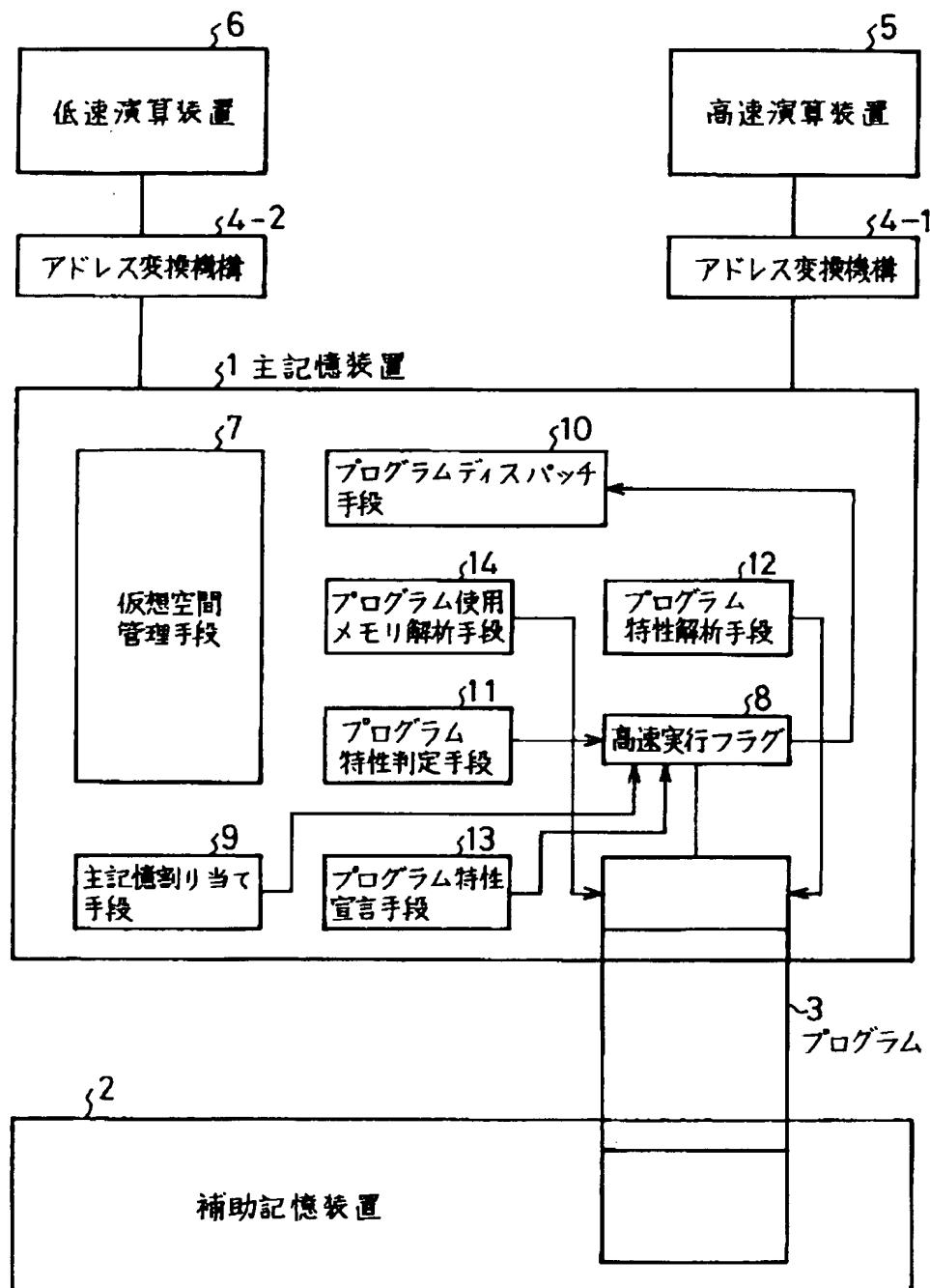
12…プログラム特性解析手段

13…プログラム特性宣言手段

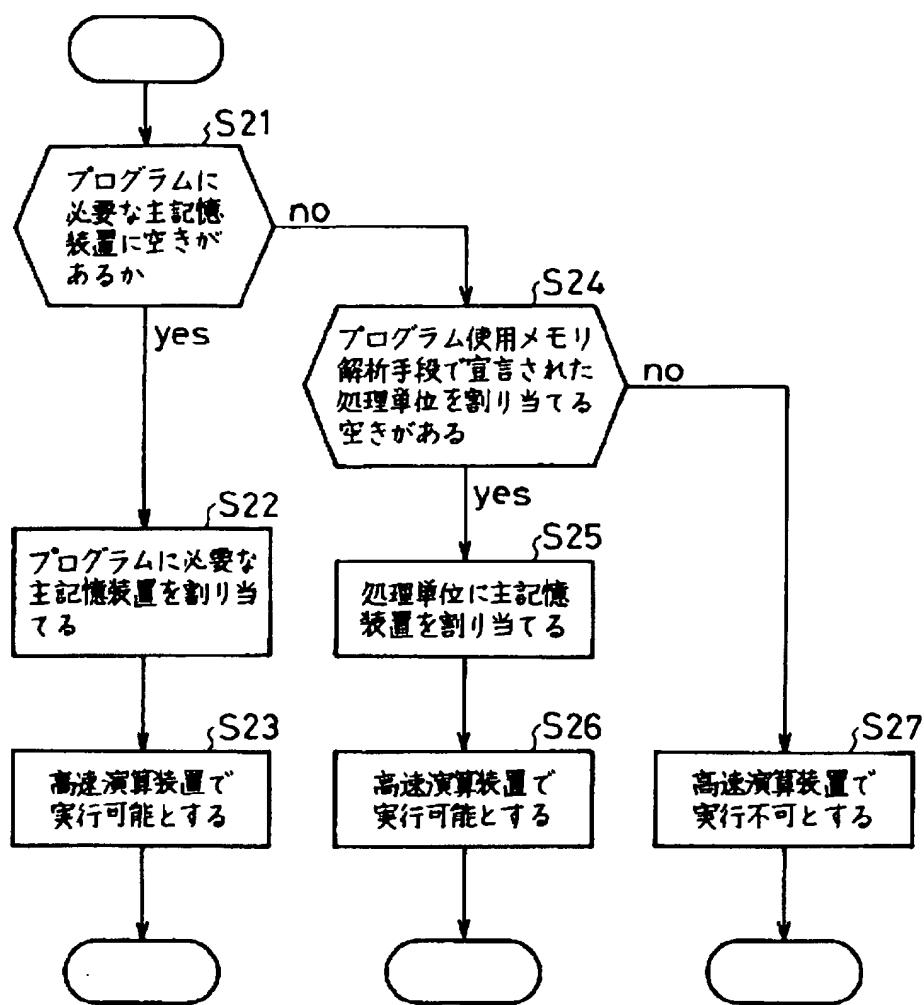
14…プログラム使用メモリ解析手段

30

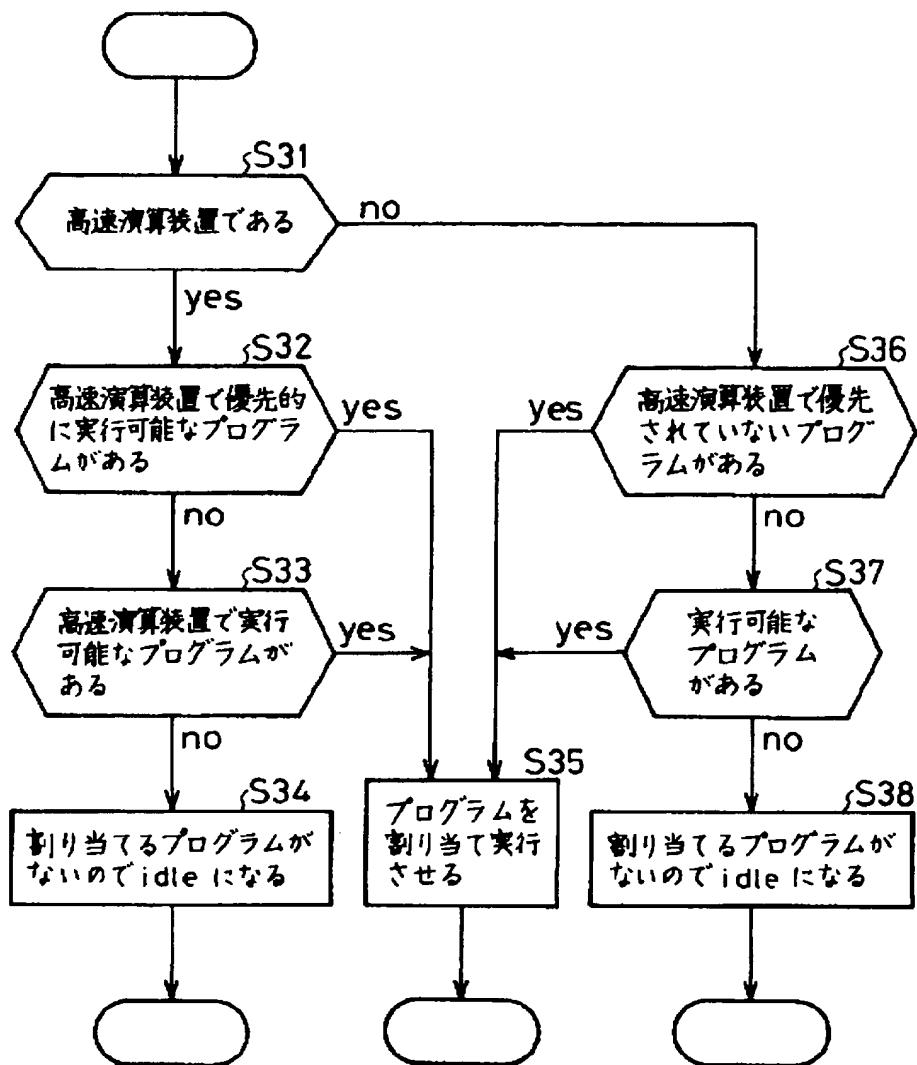
【図1】



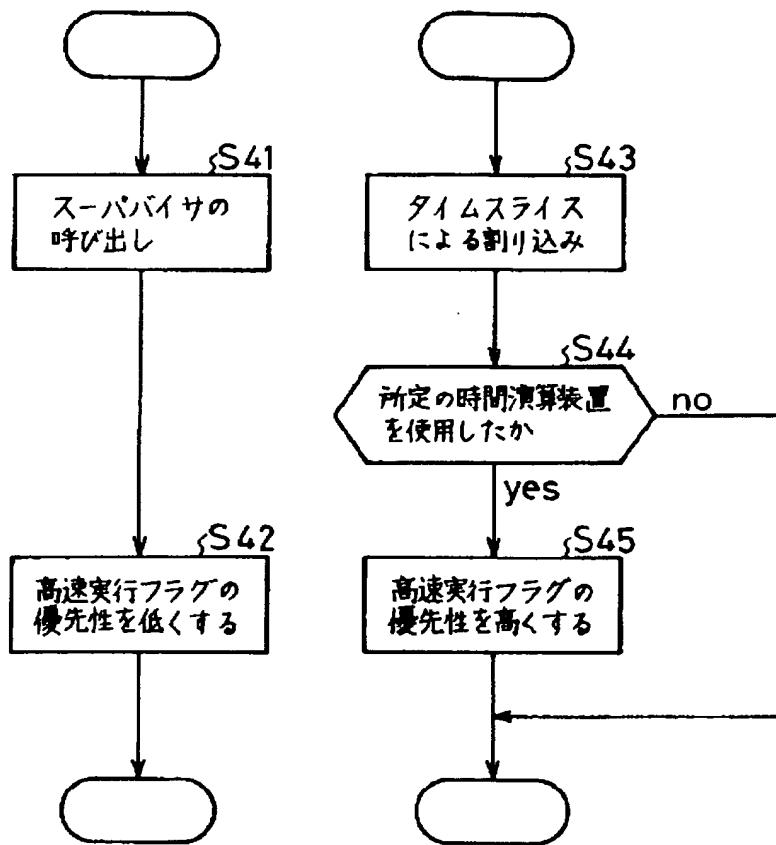
【図2】



【図3】



【図4】



【図5】

